

引用格式:周志兴,来强涛,姜宇,等. 一种应用于角度传感器的 Sigma Delta ADC 设计 [J]. 微电子学与计算机, 2019, 36(8): 25-29. [ZHOU Z X, LAI Q T, JIANG Y, et al. Design of sigma delta ADC for angle sensor [J]. Microeletronics & Computer, 2019, 36(8): 25-29.]

一种应用于角度传感器的 Sigma Delta ADC 设计

周志兴^{1,2}, 来强涛¹, 姜宇¹, 郭江飞¹, 王成龙³, 陈腾¹, 郭桂良¹

(1 中国科学院微电子研究所, 北京 100029; 2 中国科学院大学, 北京 100049;

3 中国科学院大学微电子学院, 北京 100029)

摘 要: 采用 XH018 0.35 μm CMOS 工艺设计了一种应用于磁阻角度传感器的 Sigma Delta 调制器. 由于实际运放的增益都是有限的, 使得开关电容积分器的信号传输函数的极点发生偏移, 进而影响 ADC 精度, 本文采用有限增益补偿技术减小运放增益对开关电容积分器的影响. 该调制器采用两阶 1 bit 全反馈结构, 信号带宽 12 KHz, 采样频率 6.25 MHz. 后仿结果表明, 在 2.5 V 电源电压下, 调制器的整体功耗为 4 mW. 核心电路版图尺寸为 0.45 mm $\times$ 0.3 mm. 在 $-40^{\circ}\text{C}\sim 150^{\circ}\text{C}$, 各个工艺角的 ENOB ≥ 16.5 bit, FOM=165.

关键词: 角度传感器; 高精度 ADC; Sigma Delta Modulator; Gain Compensation

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2019)08-0025-05

Design of Sigma Delta ADC for angle sensor

ZHOU Zhi-xing^{1,2}, LAI Qiang-tao¹, JIANG Yu¹, GUO Jiang-fei¹,
WANG Cheng-long³, CHEN Ten¹, GUO Gui-liang¹

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2 University of Chinese Academy of Sciences, Beijing 100049, China;

3 School of Microelectronics, University of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A Sigma-Delta modulator for magnetoresistive angle sensor is designed using XH018 0.35 μm CMOS process. The finite gain of the actual amplifier results in a pole shift in the transfer function, which will affect the accuracy of ADC. In this paper, the finite gain compensation technique is adopted to reduce the effect of operational amplifier gain on switched capacitor integrator. The structure of the modulator is 2 Order 1 Bit full feedback, with a signal bandwidth of 12 KHz and a sampling frequency of 6.25 MHz. The simulation results show that the overall power consumption of the modulator is 4mW under the 2.5V supply voltage. The layout of the core circuit is 0.45 mm $\times$ 0.3 mm. At $-40^{\circ}\text{C}\sim 150^{\circ}\text{C}$, the ENOB of each corner is greater than 16.5bit, FOM=165.

Key words: Angle sensor; High-precision; Sigma Delta Modulator; Gain Compensation

1 引言

由于磁阻角度传感器具有非接触、抗干扰能力强、精度高的优点. 近年来, 磁阻角度传感器开始广泛的应用于汽车中的电动转向 EPS、转速检测、车窗控制、雨刷控制等方面. 随着技术的发展, 要求角

度传感器能够检测 360° 的角度范围, 精度要达到 0.01° . 同时为了提高传感器输出信号的抗干扰能力以及方便后续的信号调理, 需要将角度传感器输出的模拟电压信号转换为数字信号. 为了实现精确的测量, 高精度的 ADC 成为角度传感器芯片中的核心模块. 奈奎斯特 ADC 需要通过校准电路与

收稿日期: 2018-11-28; 修回日期: 2018-12-13

基金项目: 国家重点研发计划(2017YFB0503200)

DEM 等算法才能达到比较高的精度. 而 Sigma Delta ADC 通过过采样和噪声整形技术, 能显著提高信号的信噪比, 实现精确的模数转换^[1]. 考虑到角度传感器的实际应用需求, 本文设计了一个 16.5 bit 分辨率, 输入信号带宽 12 KHz, 采样频率 6.25 MHz, 2 阶 1 bit 全反馈结构的 Sigma Delta ADC.

2 Sigma Delta 调制器的系统设计

本文的 Sigma Delta ADC 主要应用于角度传感器, 工作频率在 12 KHz 以下, 角度变化范围为 $0^\circ \sim 360^\circ$, 要求能达到 0.01° 的精度, 因此需要 15 bit 的精度. 为了留有一定的裕度, 要求 Sigma Delta ADC 有 16.5 bit 的分辨率. 在只考虑量化噪声的情况下, Sigma Delta ADC 的信噪比可表示为^[2]

$$\text{SNR(dB)} \approx 6.02N + 1.76 + 10\log_{10}\left(\frac{2L+1}{\pi^{2L}}\right) + (2L+1)10\log_{10}(\text{OSR}) \quad (1)$$

式中, L 为调制器阶数; N 为量化器位数; OSR 为过采样率.

由(1)式可知, 可以通过增加阶数、量化器位数、 OSR 来实现 16.5 bit 的精度. 但是增加阶数会带来环路稳定性的问题, 增加电路设计难度. MASH 结构可以避免单环的稳定性问题, 但是需要额外的 DCL 电路, 同时引入了噪声泄露的问题. 由于工艺匹配参数的限制, 多 bit 量化器会带来非线性的问题, 单 bit 量化器则不存在这个问题. OSR 太大消耗更多的功耗, 对运放提出了更高的要求^[3]. 根据本文的应用对象, 本文采用 2 阶 1 bit 单环全反馈结构, 过采样率 $\text{OSR}=256$. 整个 Sigma Delta 调制器的行为级模型如图 1 所示.

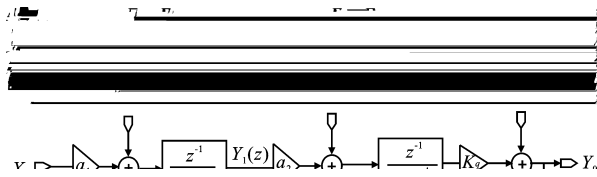


图 1 Sigma Delta 调制器的行为级模型

Sigma Delta 调制器的传输函数可表示为

$$Y(Z) = Y_1(Z) \cdot \frac{a_2 K_q H(Z)}{1 + b_2 K_q H(Z)} + E_n(Z) \cdot \frac{1}{1 + b_2 K_q H(Z)} [E_{I2}(Z) + E_{S2}(Z)] \cdot \frac{K_q H(Z)}{1 + b_2 K_q H(Z)} \quad (2)$$

式中, $Y_1(Z) = [a_1 X(Z) - b_1 Y(Z)] + [E_n(Z) +$

$$E_{S1}(Z)] H(Z), \text{为了得到最优化解, 即 } Y(Z) \text{ 简化为}$$

$$Y(Z) = K_q a_1 a_2 Z^{-2} X(Z) + (1 - Z^{-1})^2 E_n(Z) + a_2 K_q Z^{-2} [E_{I1}(Z) + E_{S1}(Z)] + K_q (1 - Z^{-1}) Z^{-1} [E_{I2}(Z) + E_{S2}(Z)] \quad (3)$$

要求调制器参数满足下式

$$K_q a_2 b_1 = 1; \quad K_q b_2 = 2 \quad (4)$$

同时调制器参数的设定必须避免积分器产生过载的问题. 在本设计中, $a_1 = 0.5$, $a_2 = 0.5$, $b_1 = 0.06825$, $b_2 = 0.06825$, $K_q = 29.3$. 在实际电路中 a_1 、 a_2 分别对应采样电容与积分电容的比值, b_1 、 b_2 分别对应反馈电容与积分电容的比值. 第一级采样电容可由下式确定^[4]

$$\frac{KT}{C_s \text{OSR}} \left(\frac{10/3 + 4\mu}{1 + \mu} \right) \leq 0.75 P_{\text{noise, total}} \quad (5)$$

式中, $\mu = 2g_m R_{\text{ON}}$, g_m 为运放跨导, R_{ON} 为开关导通电阻, μ 一般取 $0.1 \sim 1$. 根据 SNR 和输入信号幅度可以求出 $P_{\text{noise, total}}$, 进而求出采样电容 C_s . 在本设计中, $C_s = 5 \text{ pF}$.

3 Sigma Delta 调制器的电路实现

Sigma Delta 调制器电路如图 2 所示, 主要包括开关电容积分器和比较器. 第一级积分器的性能对整个 ADC 的影响很大^[5], 所以本文中的第一级积分器采用了有限增益补偿技术, 通过增加一个额外储存电荷的电容, 弱化了运放增益对 ADC 精度的影响.

3.1 积分器的设计

传统的开关电容积分器如图 3 所示, Φ_1 、 Φ_2 为两相不交叠时钟, 由于实际的运放增益不能为无穷大, 所以反向端并不是一个真正的地, 这导致电荷转移带来误差. 传统开关电容积分器的信号传输函数可表示为

$$H(Z) = \frac{C_1}{C_2} \frac{1}{1 + \frac{1}{A} (1 + \frac{C_1}{C_2})} \frac{Z^{-1}}{1 - Z^{-1} (1 - \frac{\frac{1}{A} \frac{C_1}{C_2}}{1 + \frac{1}{A} (1 + \frac{C_1}{C_2})})} \quad (6)$$

由式 6 可知, 运放的有限增益不仅会产生增益误差, 极点也会产生偏移, 造成 $\text{NTF}(Z)$ 直流处的增益不为 0, 其对应的噪声传递函数在直流处的增益变为

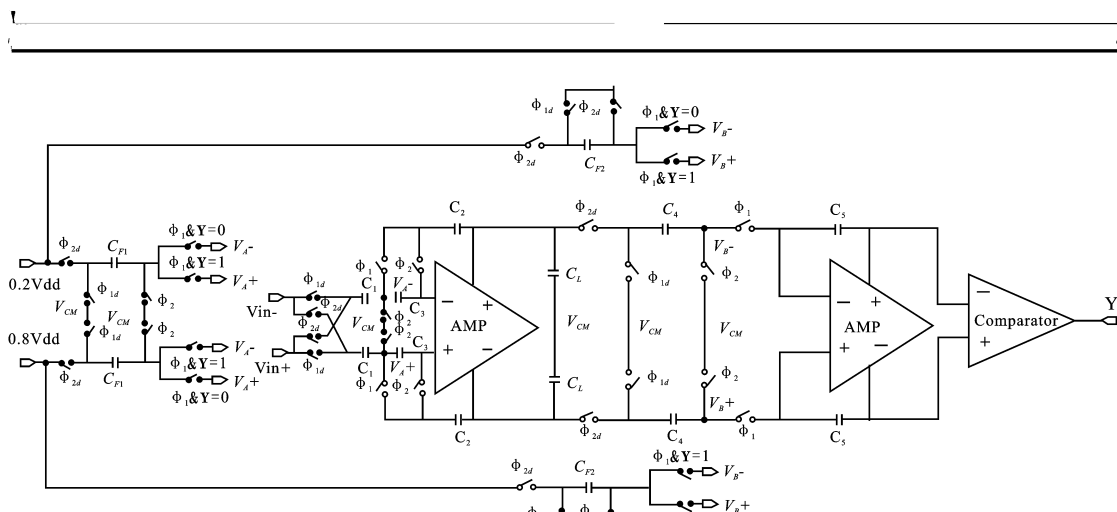


图 2 Sigma Delta 调制器总体电路示意图

$$\text{NTF}(Z)_{DC} = \frac{\frac{C_1}{C_2}}{1 + A + \frac{C_1}{C_2}} \approx \frac{1}{A} \quad (7)$$

运放有限增益将导致噪声传递函数在直流处的增益为 $1/A$, 这会使得带内噪声增加, 从而影响 ADC 的精度。

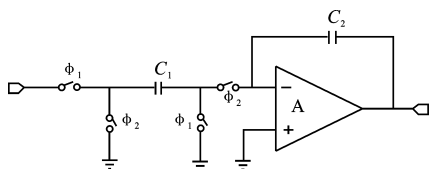


图 3 传统的开关电容积分器

为了弱化运放增益对积分器传输函数的影响, 本文第一级积分器采用了增益补偿技术, 如图 4 所示. 与传统的开关电容积分器相比, 增加了一个电容 C_3 , 其信号传输函数可表示为:

$$H(Z) = \frac{C_1}{C_2} \frac{1 - \beta}{1 + \frac{1}{A}(1 - \frac{C_3}{C_2})} \frac{Z^{-1}}{1 - Z^{-1}(1 - \frac{\frac{1}{A}\beta}{1 + \frac{1}{A}(1 - \frac{C_3}{C_2})})} \quad (8)$$

式中, $\beta = \frac{C_1}{C_1 + (1+A)C_2}$

其对应的噪声传递函数在直流处的增益变为

$$\begin{aligned} \text{NTF}(Z)_{DC} &\approx \frac{\beta}{A + \beta} = \frac{1}{(1+A) + A(1+A) \frac{C_2}{C_1}} \\ &\approx \frac{1}{A(1+A)} \end{aligned} \quad (9)$$

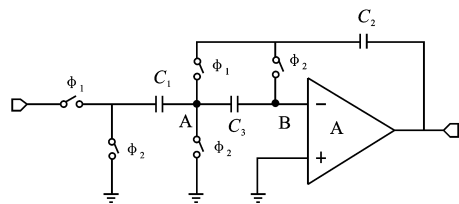


图 4 带增益补偿结构的开关电容积分器

与传统开关电容积分器相比, 噪声传递函数在直流处的增益减小了 $(1+A)$ 倍, 减小了低频处的带内噪声, 提高了 Sigma Delta 调制器的 SNR。

3.2 运算放大器的电路实现

运算放大器是积分器的核心模块. 运算放大器的增益会影响积分器的信号传递函数, 运算放大器的摆率 SR 与单位增益带宽 GBW 将决定积分器建立时间与建立精度. 为了满足小信号建立时间的要求, 半个时钟周期误差不超过 $1/2\text{LSB}^{[6]}$, 要求 GBW 满足

$$\text{GBW} = \frac{(N+1)\ln 2}{\pi} f_s \quad (10)$$

本设计中, $N=16.5$, $f_s=6.25 \text{ MHz}$, 所以要求 $\text{GBW} \geq 24 \text{ MHz}$. 为了留有一定的裕度, 在本设计中, GBW 设计为 50 MHz . 同时, 一般要求四分之一周期内完成大信号的建立, 所以要求 SR 满足

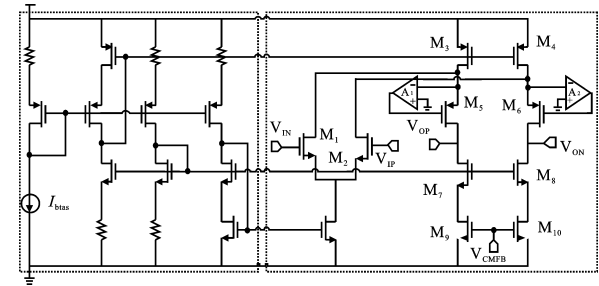
$$\text{SR} \geq \frac{\Delta V_{\text{out}}}{\Delta t} = \frac{0.3 \text{ V}}{40 \text{ ns}} = 7.5 \text{ V}/\mu\text{s} \quad (11)$$

对于一个二阶单环的拓扑结构, 运放增益对带内噪声 IBN 的影响可表示为

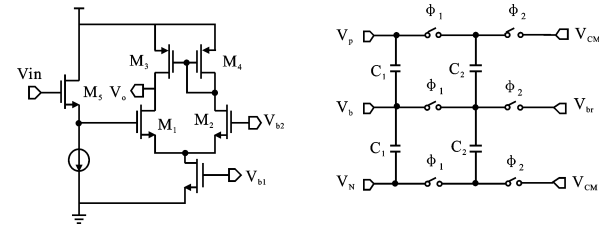
$$\text{IBN} \approx \frac{\Delta^2}{12} \frac{1}{(K_q a_1 a_2)^2} \left(\frac{2\pi^2}{3 A_v^2 \text{OSR}^3} + \frac{\pi^4}{5 \text{OSR}^5} \right) \quad (12)$$

相比理想 sigma delta 调制器,带内噪声 IBN 多了与增益 A 有关的一项. 所以要求增益 A 远远大于过采样率 OSR. 在本设计中,增益 A 设计为 70 dB.

在偏置电流一定的情况下,两级运放的次极点完全由负载电容来确定,这使其带宽较小,速度受到限制^[6-8]. 但单级套叠式运放的增益很难达到 70 dB,所以本文采用了增益自举结构,使得单级运放满足了增益要求. 为了增加共模输入信号的范围,采用了折叠 Cascode 结构,运放整体电路如图 5 所示. 对于增益自举运放,要求辅助运放的 GBW 略高于主放大器 GBW. 所以本文的辅助运放采用的是简单的五管运放结构,如图 5(b)所示. 为了稳定输出共模电压,本文采用了开关电容共模反馈电路,如图 5(c)所示. 当电路处于稳态时,输出共模电压将稳定在 V_{CM} , C_1 、 C_2 的比值决定了共模电压的建立时间和建立精度,一般选取 $C_1=4 C_2$.



(a) 运算放大器的主电路



(b) 辅助运放电路 (c) 开关电容共模反馈电路

图 5 运放整体电路

3.3 比较器电路设计

由于比较器的 offset 会经过二阶整形,所以 Sigma Delta 调制器对比较器的 offset 要求并不严格. Class AB 锁存比较器只有一个极点,功耗和速度都比 Class A 性能更好. 因此本文采用了 Class AB 锁存比较器,如图 6 所示. 当 $\Phi_2=0$ 时, M_5 、 M_6 关断, M_7 、 M_8 的漏极相连处于低电平,当 $\Phi_2=1$ 时, M_5 、 M_6 导通, M_3 、 M_4 和 M_7 、 M_8 构成两个正反馈电路,迅速将输出变为 GND 或者 VDD.

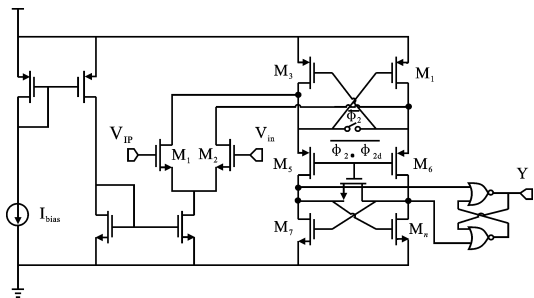


图 6 Class AB 锁存比较器电路

4 Sigma Delta 调制器的版图与后仿结果

本文设计的 Sigma Delta 调制器采用 XH018 工艺,核心电路版图尺寸为 0.45 mm×0.3 mm. 其整体版图如图 7 所示.

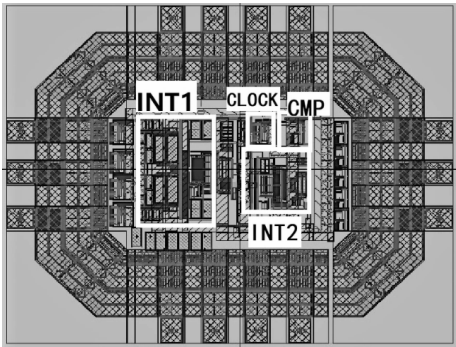


图 7 Sigma Delta 调制器版图

在输入信号为 300mV @12KHz 的情况下,分别将带增益补偿结构 Sigma Delta 调制器和传统结构 Sigma Delta 调制器输出的 1 bit 码流从 Cadence 中导入到 MATLAB 进行信噪比分析. 如图 8 所示(27℃、tt 工艺角). 传统结构的 Sigma Delta 调制器受运放有限增益的影响噪声底会比较高,ENOB 只有 15.93 bits. 而带增益补偿结构的 Sigma Delta 调制器通过采用增益补偿技术弱化了运放有限增益对噪声整形效果的影响,它的 ENOB 可以达到 16.84 bits.

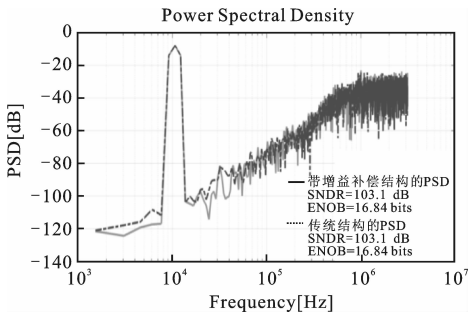


图 8 Sigma Delta 调制器的输出频谱

本文设计的带增益补偿结构的 Sigma Delta 调制器在各个工艺角的 ENOB 如表 1 所示

表 1 各个工艺角的 ENOB

	ss/bits	sf/bits	tt/bits	fs/bits	ff/bits
−40℃	16.66	16.73	17.4	17.44	17.75
27℃	16.54	16.89	16.84	17.74	17.46
150℃	16.70	16.85	16.83	17.24	17.1

调制器的整体性能一般用 FOM 值衡量,FOM 值越大性能越好.调制器的性能比较如表 2 所示.可以看出,本文设计的 Sigma Delta 调制器的 FOM 值大于文献[7]、[8]中调制器的 FOM.

表 2 调制器性能比较

性能参数	本文	文献[7]	文献[8]
Process/ μm	0.35	0.18	—
Supply Voltage/V	2.5	1.8	5
Bandwidth/KHz	12	20	0.3
Sampling Frequency/MHz	12.5	12.288	0.512
ENOB/bits	16.5	16	15.0
Power/mW	4	5	4.67
FOM	165	159	145.6

5 结束语

本文设计了一种应用于磁阻角度传感器的 Sigma Delta 调制器,采用增益补偿结构的积分器,弱化了运放增益对调制器信噪比的影响.采用 X-FAB 0.18 μm CMOS 工艺完成了整个调制器的版图设计及后仿真,仿真结果表明调制器的有效分辨率达到 16.5 bits,符合设计要求.

参考文献:

[1] Franco Maloberti. 数据转换器[M]. 西安: 西安交通大学出版社,2013.

[2] JOSE M. DELO ROSA. CMOS Sigma-Delta Converters Practical Design Guid[M]. Hoboken: John Wiley & Sons,2013.

[3] 景新幸,包远鑫,胡胜. 一种低功耗 16 bit 音频 Sigma Delta 调制器的设计[J]. 微电子学与计算机,2013, 33 (9):115-118.

[4] RICHARD SCHREIER. Understanding Delta-Sigma Data Converters [M]. Hoboken: John Wiley & Sons,2005.

[5] RICHARD SCHREIER, JOSé SILVA, JESPER S. Design-Oriented Estimation of Thermal Noise in Switched-Capacitor Circuits[J]. IEEE Transaction on Circuits and System,2005,52(11):2358- 2368.

[6] 何波. 1MHz 基带带宽,14-bit 精度的 Sigma-Delta 调制器设计[D]上海: 复旦大学,2007.

[7] 李亮,陈珍海. 应用于数字音频的二阶 Sigma-Delta 调制器设计[J]. 微电子学与计算机,2010, 27 (7): 198-201.

[8] 袁云,李福杰,赵野,等. 一种可集成于电池组检测芯片的 Sigma-Delta A/D 转换器[J]. 微电子学与计算机,2014,31(11): 143-147.

作者简介:

周志兴 男,(1996-),硕士研究生.研究方向为模拟集成电路设计. E-mail:zxzhou_ic@163.com.

来强涛 男,(1981-),博士.研究方向为模拟集成电路设计.